
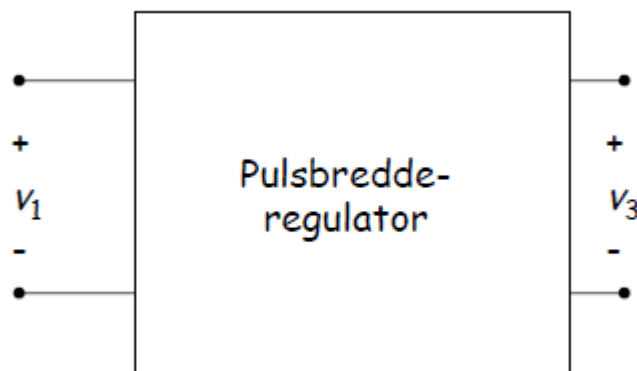
 ELEKTRONISK SYSTEMDESIGN & INNOVASJON 	<h1>Pulsbredderegulator</h1>	
	Design og utforming av en pulsbredderegulator	
	Forfatter: Fredrik Ellertsen	
	Versjon: 2	Dato: 24.03.2015
	Kontrollert av:	Dato:
Innhold		
1. Innledning		1
2. Mulig løsning		2
3. Realisering og test		6
4. Konklusjon		8
5. Takk		8
Referanser		8
Vedlegg A		8
Vedlegg B		9
Vedlegg C		11

1. Innledning

Vi vil ta for oss design av en pulsbredderegulator som vist i Figur 1.



Figur 1: Pulsbredderegulator [1].

Målsetningen er at systemet skal ta inn et firkantsignal $v_1(t)$, og har et pulsbredderegulert signal $v_3(t)$ som utgang. Pulsbredden til et firkantsignal er definert ved hvor lang tid innen en periode signalet er forskjellig fra null (altså høyere enn det

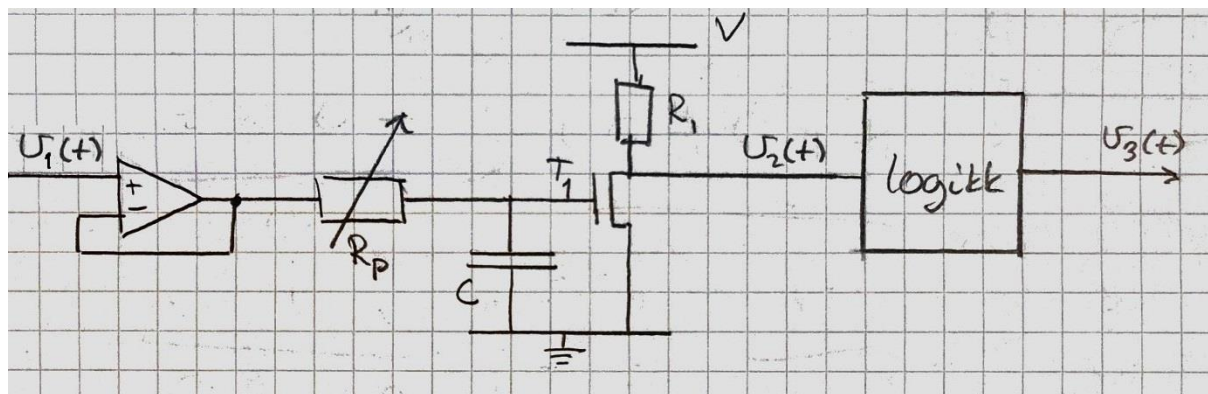
som regnes for å være logisk 1), og angis ofte som et prosentforhold kalt *driftssyklus*. Firkantsignalet $v_1(t)$ har 50 % driftssyklus.

Kravene som stilles er at kretsen skal fungere når inngangssignalet har en periodetid $T = 16,5$ ms. Utgangssignalet skal ha samme frekvens som inngangssignalet, men skal ha endret pulsbredde. Endringen i pulsbredde skal også, i størst mulig grad, være justerbar. Videre skal hele systemet drives av en forsyningsspenning $V = 5$ volt.

Presisering: Når ordene «høy» og «lav» brukes i teksten refereres det til hhv. «logisk 1» og «logisk 0» eller 5 V og 0 V. Videre henviser «driftssyklus» til prosentforholdet mellom hvor lenge et signal er høyt og lavt i løpet av én periode.

2. Mulig løsning

En mulig løsning er å benytte seg av en krets med et RC-ledd med variabel tidskonstant som styrer en transistor. Dette er løsningen som vil bli realisert. Se Figur 2 for kretsskjema av et slikt system.



Figur 2: Foreløpig kretsskjema

Prinsippet bak kretsen er at et påtrykket firkantsignal $v_1(t)$ fører til sprang- og egenrespons i kondensatoren C . Hvordan spenningsutviklingen arter seg i RC-leddet kan styres med den variable motstanden R_p . Spenningen over kondensatoren styrer en transistor T_1 . Drain-spenningen $v_2(t)$ vil da ha endret driftssyklus i forhold til $v_1(t)$. Ved å utføre enkel logikk med $v_2(t)$ vil utgangssignalet $v_3(t)$ i teorien bestå av et pulsbredderegulert signal med et spenn på mellom 0 % og 100 %.

Motstanden R_1 er på 1 k Ω , og er der for å begrense strømmen gjennom transistoren til jord. En elektrolyttkondensator C med kapasitans 4.7 μF blir valgt til denne kretsen av rent praktiske årsaker etter litt eksperimentering, og forklaring på dette kommer snart. Systemet som brukes for å teste og drive kretsen er National Instruments' *myDAQ* med den tilhørende programvareløsningen *labVIEW* [3]. Firkantsignalet som skal pulsbreddereguleres opprinner fra en utgang som maksimalt kan levere 2 mA. Dette er

alene ikke tilstrekkelig til å drive en RC-krets i den konfigurasjonen som er skissert i dette designet. En operasjonsforsterker av typen LF353P [4] blir derfor brukt som buffer slik at 15 mA kan trekkes. Den henter forsyningsspenning fra to utganger på myDAQ-brettet som leverer -15 V og +15 V. Dette strider mot kravet om at kretsen skal drives av en forsyningsspenning på 5 V, men dette valget er gjort fordi det ikke finnes noen 5 V-utganger på myDAQ-brettet som kan levere tilstrekkelig strøm. Det antas at en adekvat 5 V-kilde tas i bruk dersom designet skal realiseres som en uavhengig krets.

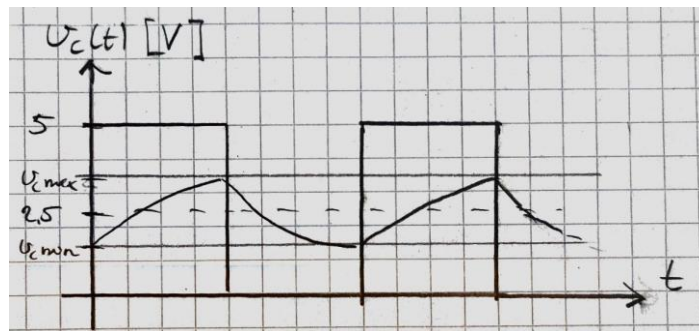
Det optimale spennet til R_p samt implementasjonen av blokken «logikk» vil være avhengig av hvordan C og T_1 oppfører seg. Videre følger en undesøkelse av C og T_1 .

Transistoren

Transistoren som skal anvendes i kretsen er en n-kanal MOSFET av typen BS-107A. Denne er valgt fordi den er billig og lett å få tak i, og databladet [2] til denne oppgir ikke terskelspenningen V_{th} ved en forsyningsspenning V på 5 V. Terskelspenningen ble målt til 2.0 volt, se vedlegg A.

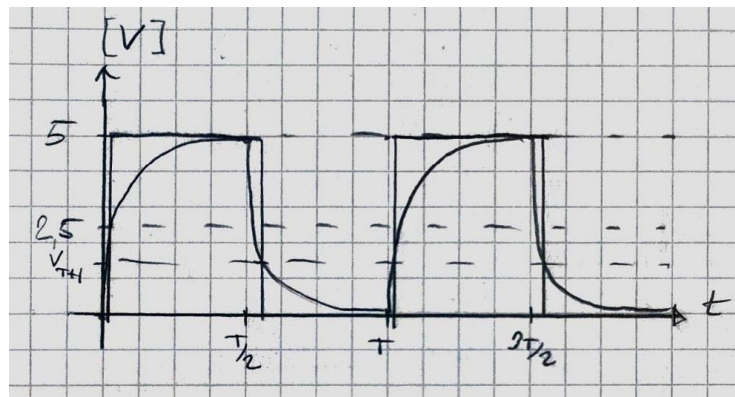
Kondensatoren

Det viste seg at dersom perioden til firkantsignalet er mye mindre enn steady-state-tiden til kondensatoren (5τ), vil kondensatorspenningen oscillere symmetrisk om en middelværdi som er nøyaktig halvparten av maksimalspenningen til firkantsignalet. Se vedlegg B for argumentasjon. Dette betyr at, for en hvilken som helst kondensator, kan det stilles krav til at spenningen skal oscillere mellom en $v_{c \min}$ og en $v_{c \max}$ for alle påtrykte firkantsignaler. I Figur 3 er dette skissert generelt.

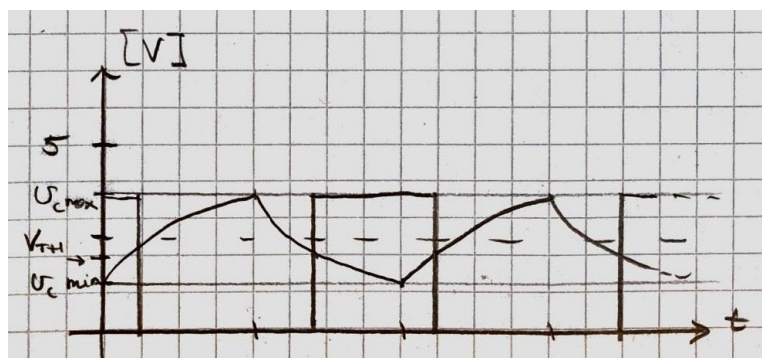


Figur 3: Generelle krav til kondensatorspenningen, skisse

Man kan med andre ord variere tidskonstanten τ og få variabel driftssyklus i $v_2(t)$. Figur 4 og 5 viser teoretiske skisser av kondensatorspenningen $v_c(t)$ for hhv. liten og stor τ . I tillegg er $v_2(t)$ skissert inn. I figur 5 antas det at $v_{c \min}$ er mindre enn terskelspenningen V_{th} for transistoren.



Figur 4: Liten τ gir stor driftssyklus på $v_2(t)$



Figur 5: Stor τ gir liten driftssyklus på $v_2(t)$

Det er begrensninger på hvor liten tidskonstant τ_{\min} som kan oppnås. Med 15 mA til rådighet vil minsteverdien til den variable motstanden, $R_{p \min}$, bli

$$\frac{5V}{15mA} = \underline{333,3 \Omega}$$

En motstand på 350Ω vil bli brukt for å sikre at kretsen ikke trekker for mye strøm.

For å finne maksimalverdien til den variable motstanden kan vi stille følgende krav til den oscillerende spenningen i figur 5: Alle bunnpunktene på spenningskurven skal ligge på terskelspenningen til transistoren. Dersom maksimalmotstanden til R_p oppfyller dette, vil spennet fra $R_{p \min}$ til $R_{p \max}$ føre til at driftssyklusen til transistoren T_1 varierer mellom omtrent 0 % og omtrent 50 %. I tillegg vil nøyaktig kalibrering av $R_{p \min}$ og $R_{p \max}$ sikre at hele motstandsspennet til R_p går med til å endre driftssyklusen til $v_2(t)$. Spenningen over en kondensator er generelt gitt ved

$$U_c(t) = U_c(\infty) + (U_c(0) - U_c(\infty))e^{-\frac{t}{\tau}}$$

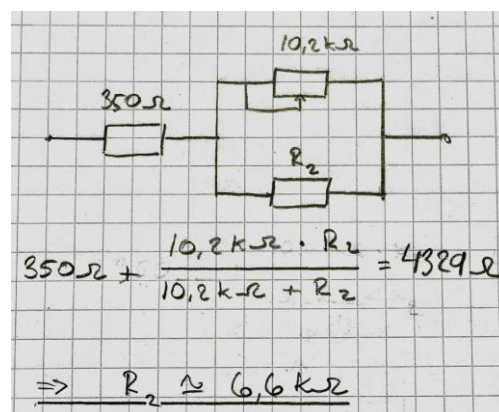
For å finne maksimal motstand, $R_{p \max}$, tar vi for oss et tilfelle der kondensatoren lader seg opp. Da kreves det at startspenningen $v_c(0) = 2.0 \text{ V}$, sluttspenningen $v_c(\infty) = 5 \text{ V}$ og spenningen etter en halv periode $v_c(T/2) = 3.0 \text{ V}$ (fra symmetrien i oscillasjonen). Dersom kondensatoren har en kapasitans på $4.7 \mu\text{F}$, vil $R_{p \max}$ bli som følger:

$$3\text{V} = 5\text{V} + (2\text{V} - 5\text{V}) e^{-\frac{T/2}{\tau}}$$

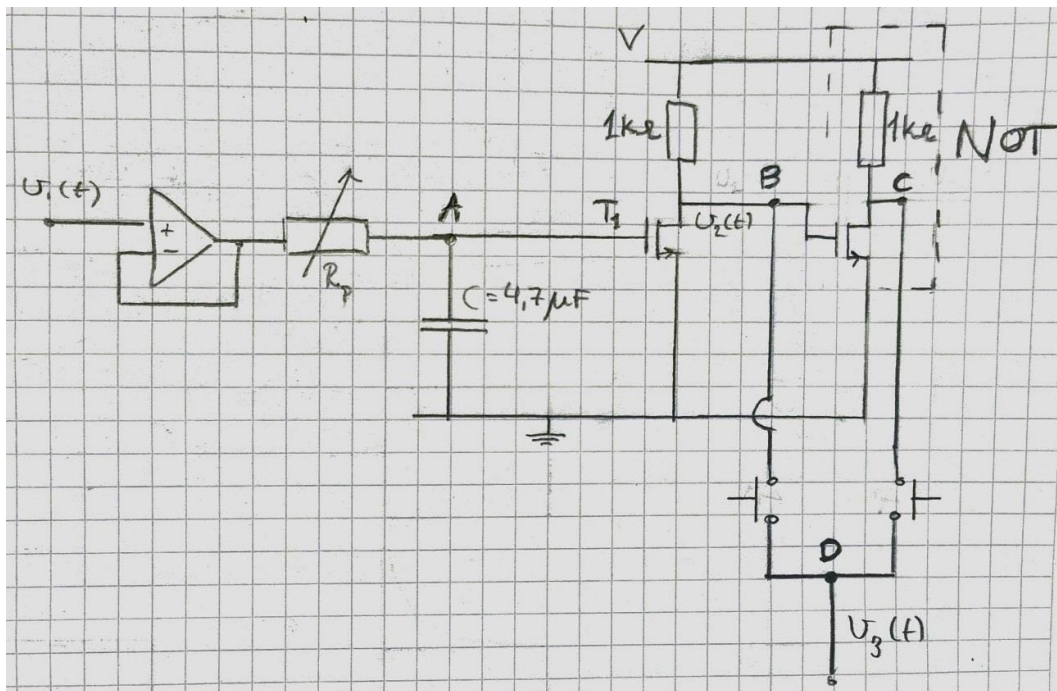
$$\Rightarrow R_{p \max} = \underline{4329 \Omega}$$

Grunnen til at denne kapasitansverdien ble valgt for C , er at da designet skulle gjennomføres, hadde jeg bare potensiometre med målt maksimalverdi på $10.2 \text{ k}\Omega$ tilgjengelig. $R_{p \max}$ er nå utregnet til å være mindre enn maksimalverdien til potensiometeret, noe som fører til at R_p kan realiseres så enkelt som mulig ved hjelp av ett potensiometer og to motstander. Den relativt store kapasitansen skulle vise seg å gi ulemper andre steder i kretsen, og disse diskuteres i konklusjonen.

R_p kan nå konstrueres:



Når R_p nå er definert, blir det også klart hvordan spenningen $v_2(t)$ vil se ut. Slik kretsen er bestemt nå vil driftssyklusen til $v_2(t)$ være variabel i et intervall mellom 0 % og 50 %. Ved å gjøre en NOT-operasjon på $v_2(t)$ vil signalet inverteres, og det inverterte signalet vil ha en driftssyklus på mellom 50 % og 100 %. Da kan brukeren velge «modus» ved hjelp av to knapper, og vil i teorien ha tilgang på et signal med variabel driftssyklus på mellom 0 og 100 %. Figur 6 viser fullstendig kretsskjema.

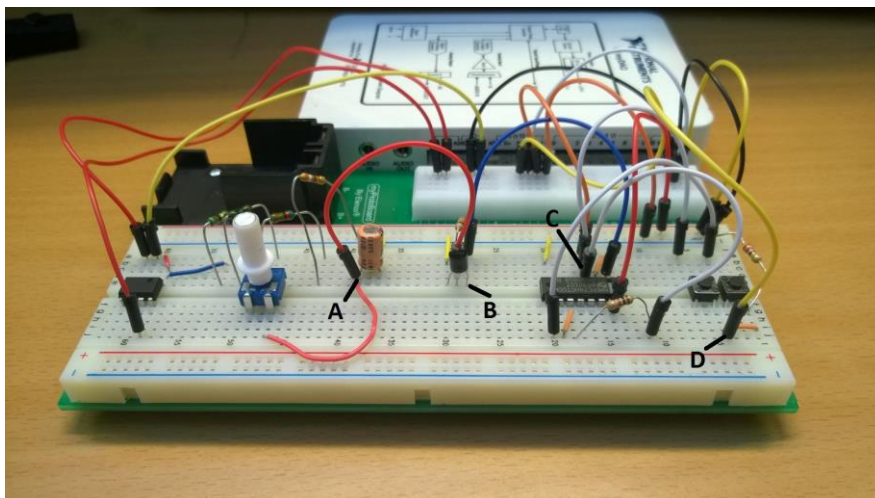


Figur 6: fullstendig kretsskjema

R_p er nå lik den ekvivalente motstanden i motstandsnettverket ovenfor. Nodene A, B, C og D er markert for referanse til bildet av den endelige kretsen.

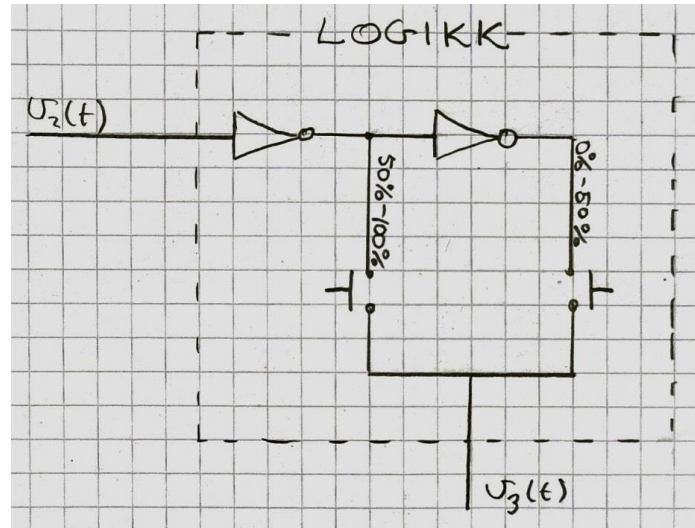
3. Realisering og test

Nå kobles hele kretsen opp og testes. Figur 7 viser et bilde av kretsen. Nodene A, B, C og D fra Figur 6 er å finne igjen i figur 7.



Figur 7: oppkoblet krets

Alle motstandene i kretsen ble realisert med motstandsverdier så nærme som teorien som mulig. Inngangssignalet $v_1(t)$ simuleres ved at et firkantsignal med periodetid $T = 16.5$ ms, $V_{pp} = 5$ V og DC offset på 2.5 V påtrykkes. Tidlig testing av kretsen viste at $v_2(t)$ ikke er et rent firkantsignal (Se vedlegg C.1). En ny NOT-gate ble introdusert i kaskade med den første NOT-gaten for å rense signalet (Se vedlegg C.2, C.3). Logikk-blokken av kretsen i figur 2 er illustrert i figur 8.



Figur 8: Kretsskjema av implementert logikk-del

Da kretsen skulle konstrueres var det ikke flere NMOS-transistorer tilgjengelig. En integrert krets bestående av 4 NAND-porter [3] ble brukt i stedet for de to NOT-portene, siden en NAND-port der de to input-linjene er koblet sammen fungerer som en NOT-port.

Nå kan realisert spenn i driftssyklus finnes. Kretsen testes, og resultatene er presentert i Tabell 1.

Tabell 1: Test				
Driftssyklusmodus [%]	R_p	dT [ms]	Ideell driftssyklus [%]	Realisert driftssyklus [%]
0-50	min	1.65	0	10.0
0-50	max	7.38	50	44.7
50-100	min	9.14	50	55.4
50-100	max	16.5	100	100

Her angir R_p hvorvidt potensiometeret er stilt inn på $R_{p \min}$ eller $R_{p \max}$ og dT angir hvor lenge $v_3(t)$ er høyt i løpet av én periode. Resultatene viser at driftssyklusen til $v_3(t)$ er justerbar i et spenn som dekker omtrent $(100 - 55.4 + 44.7 - 10.0) \% = 79.3 \%$.

4. Konklusjon

I dette designnotatet er en pulsbredderegulator med tilhørende kravspesifikasjoner blitt designet, utformet og testet. Ideen bak kretsen er å samkjøre et RC-ledd med variabel tidskonstant og litt transistorlogikk for å få til pulsbredderegulering av et firkantsignal. Siden en «stor» kondensator på 4.7 μF ble valgt i RC-leddet, leverer kretsen et pulsbredderegulert signal med spenn i driftssyklus på knappe 80 %. Dersom kretsen skulle designes på nytt, ville en kondensator med mye mindre kapasitans bli valgt. Kretsen fungerer altså ikke optimalt, men den fungerte akkurat som forventet.

5. Takk

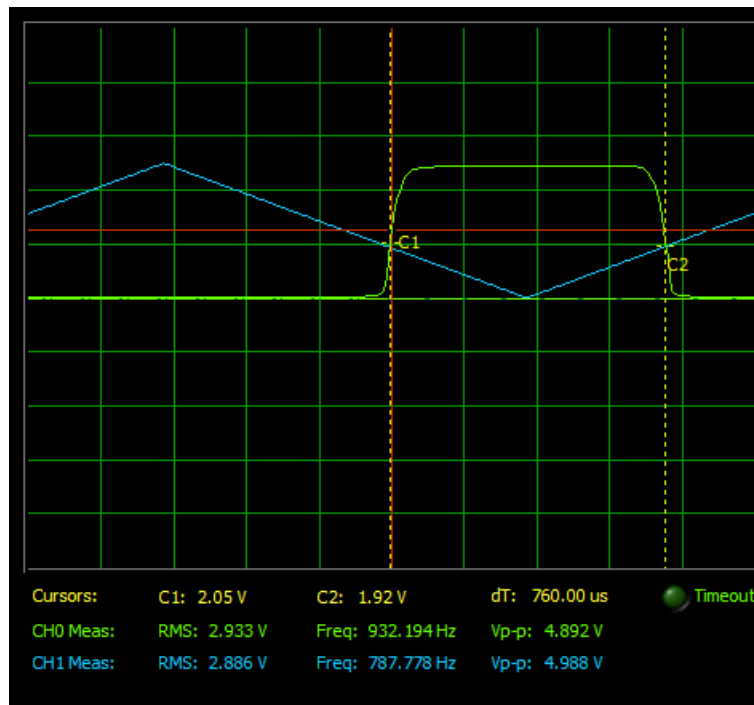
Jeg vil gjerne takke Stud. Techn. Christian Cartfjord for fruktbare diskusjoner under designarbeidet. Takk rettes også til fagstaben ved studieprogrammet Elektronisk Systemdesign og Innovasjon, NTNU, for frembringelse av Figur 1.

Referanser

- [1] IET/Fagstaben for ELSYS, Designøving 2 (PDF). Hentet 02.03.2015
- [2] Datablad BS107A: http://www.onsemi.com/pub_link/Collateral/BS107-D.PDF
- [3] Datablad PC74HCT00P:
<http://www.datasheets360.com/pdf/1802219170228954335>
- [4] Datablad LF353: <http://www.ti.com/lit/ds/symlink/lf353.pdf>

Vedlegg A

Terskelspanningen V_{th} til NMOS-transistoren T_1 ble funnet ved at transistoren ble påtrykket et trekantsignal V med $V_{pp} = 5\text{ V}$ og en DC offset på 2.5 V. Forsyningsspenningen er 5 V. En motstand på 1 k Ω ble koblet mellom drain og forsyningsspenningen. Spenningen på drain V_D ble målt sammen med trekantsignalet, og skjæringspunktet mellom dem angir terskelspanningen V_{th} :

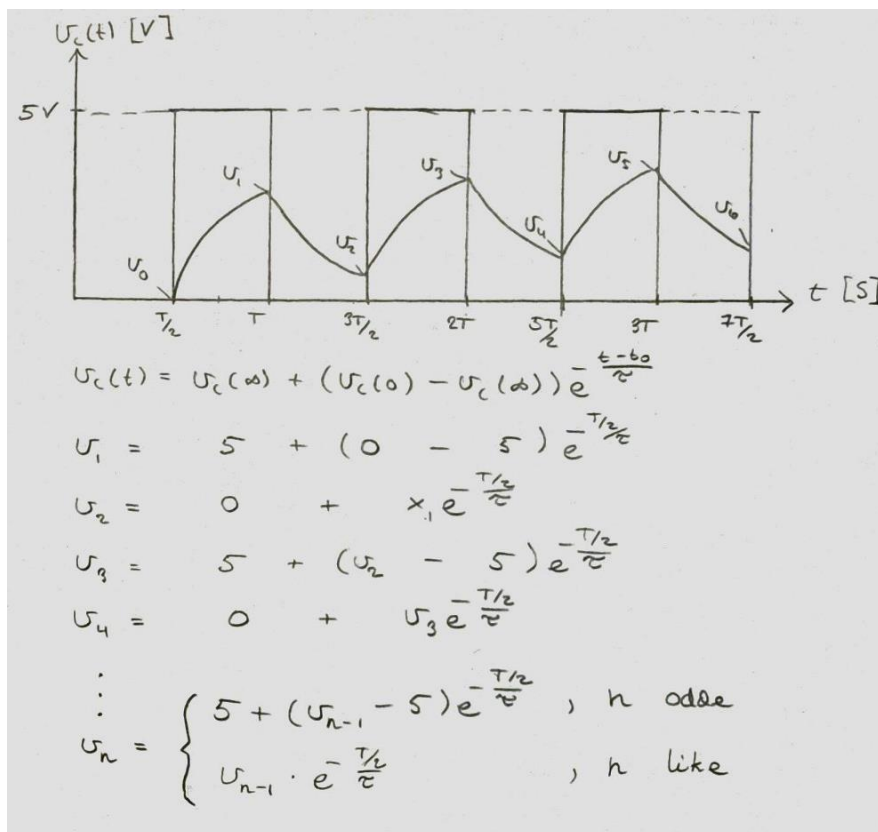


A.1: Målt terskelspenning for T_1 , CH0 = V_D , CH1 = V

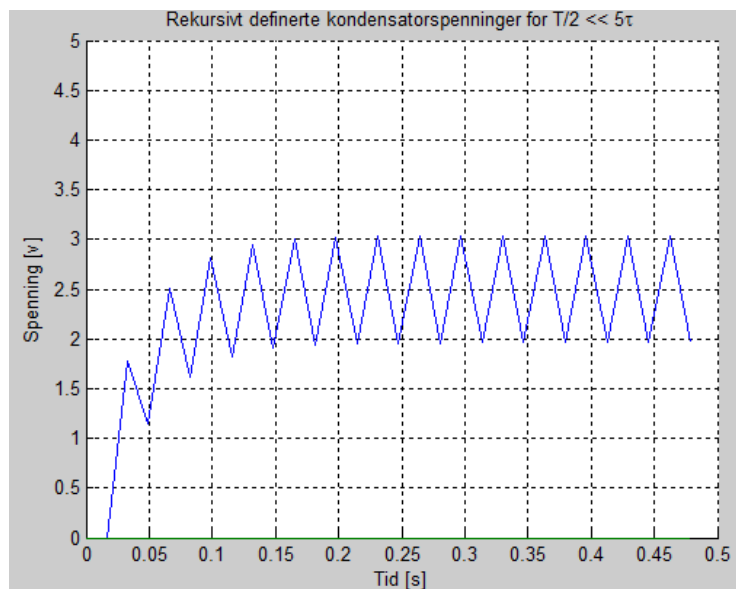
Terskelspenningen leses til å være omtrent 2 V både for på- og avslåing.

Vedlegg B

Dersom en RC-krets påtrykkes et firkantsignal V som switcher mellom høy og lav mye fortere steady-state-tiden til kretsen på 5τ , vil kondensatoren ikke rekke å lade seg verken opp eller ut, se spenningskissen på neste side. Spenningsutviklingen i alle tilfellene av opp- og utladning er avhengig av sluttspenningen i forrige «switch». En generell formel for spenningsutviklingen blir funnet:

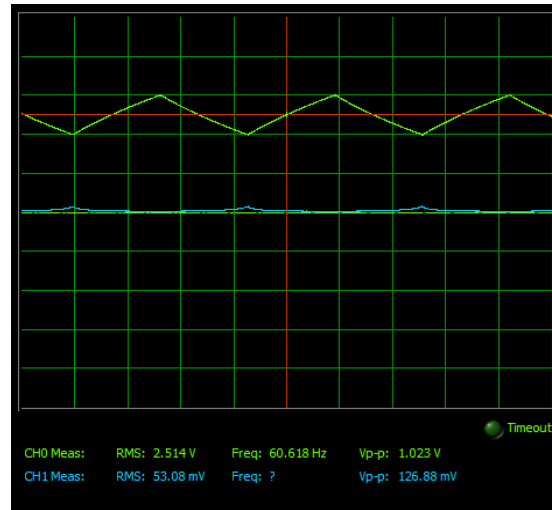
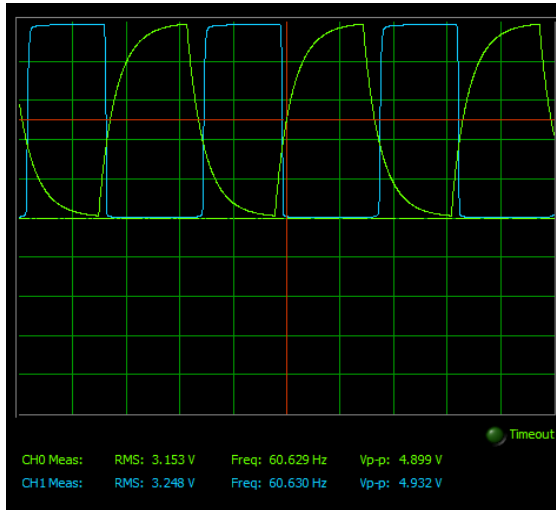


Formelen for v_n ble lagt inni MATLAB, og et plott ble konstruert ved iterasjon med følgende verdier: $C = 4.7\mu\text{F}$, $R = 1 \text{ k}\Omega$, $T = 50 \text{ ms}$, $V_{pp} = 5 \text{ V}$:



Dette plottet ble generert for flere ulike verdier for C og R , og det er tydelig at kondensatorspenningen i slike tilfeller oscillerer rundt en middelværdi på nøyaktig halvparten av maksimalspenningen til det påtrykte firkantsignalet.

Fenomenet ble også testet i virkeligheten, figur B.1 og B.2 viser fenomenet for hhv. høy og lav τ . Kondensatorspenningen (CH0) og utgangsspenningen av transistoren (CH1) er vist i begge figurene.



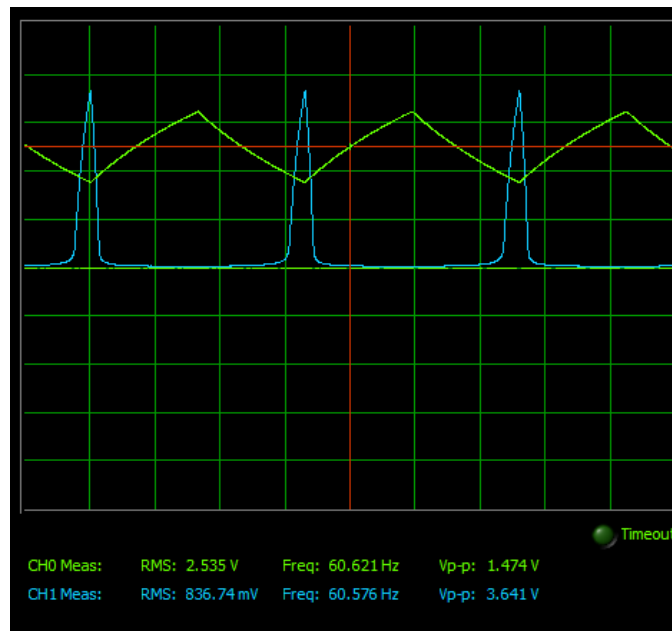
Figur B.1: transientanalyse ved høy τ

Figur B.2: transientanalyse ved lav τ

I figur B.2 ligger bunn-nivået til kondensatorspenningen rett over terskelspenningen til transistoren, og det er tydelig at transistoren ikke rekker å gå høy (men den forsøker).

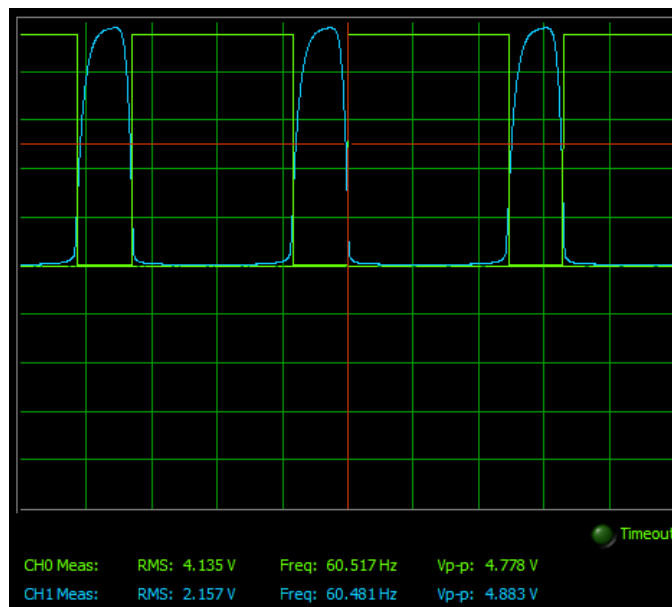
Vedlegg C

Figur C.1 viser spenningen over kondensatoren $v_c(t)$ (CH0) og drain-spenningen til transistoren $v_2(t)$ (CH1) for en lav tidskonstant. Det er ønskelig at $v_2(t)$ er et rent firkantsignal, men det er tydelig at dette i praksis ikke er tilfellet.



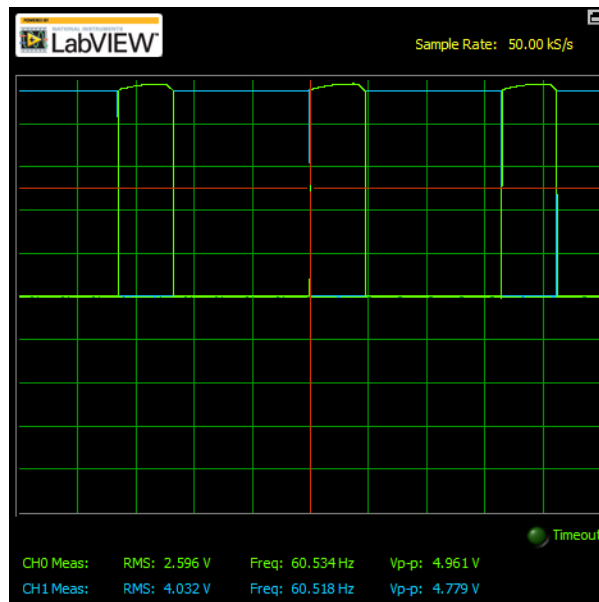
Figur C.1: CH0 = $v_c(t)$, CH1 = $v_2(t)$

Figur C.2 viser $v_2(t)$ (CH1) og utgangsspenningen til den første NOT-porten (CH0). Sistnevnte er altså en renset versjon av utgangssignalet i modus 50 % - 100 %, med andre ord lik $v_3(t)$ når den første knappen er trykket inn (se figur 8 i hoveddelen).



Figur C.2: CH1 = $v_2(t)$, CH0 = $\overline{v_2(t)}$

Figur C.3 viser utgangen av den andre NOT-porten (CH1) sammen med utgangen av den første NOT-porten (CH0). CH1 er med andre ord en renset versjon av $v_2(t)$, med andre ord lik $v_3(t)$ når den andre knappen er trykket inn.



Figur C.3: $CH1 = \overline{v_2(t)}$, $CH0 = \overline{v_2(t)}$